EDA prog1 Report 0210186朱宇融

**Idea：**

由input到output逐一level去套用library的資料，並互相比較得到最小的delay。

比較的方法是建立一個compare function，從library的最後1個gate開始比對，若相同則繼續往他的fanin比對，若不同則回傳false，並藉由fanin中最大的delay加上自己的delay找出最佳解。

**程式流程：**

1. Readbench： 開bench檔讀檔。
2. netlisting：由FaninName來比對將電路接線。接線：互相設為fanin 和fanout
3. readLib：開library檔讀檔。
4. netlistingLib:將library，由FaninName來比對將電路接線。
5. levelization:設定每個gate的level，建立一個table存所有gate的level。

Set level的原則是選擇fanin gate中level的最大值 +1

1. run:跑整個電路並完成mapping，找出critical path與maxdelay。從符合的library cell中，計算max fanin delay+library的delay，選出最小的那個做mapping
2. dump:輸出檔案。

**Table：**

|  |  |  |  |
| --- | --- | --- | --- |
| Input\Gate數 | **9\15** | **5\6** | **36\340** |
| CPU time | **0** | **0** | **20000** |